

Elettronica dei Sistemi Digitali

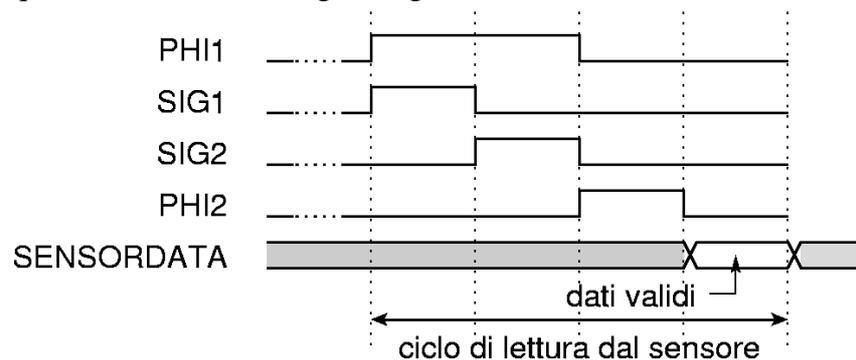
Linguaggi di Descrizione Hardware - Prova d'esame – 25 marzo 2004

Un sistema basato su FPGA Altera ha il compito di controllare un sensore, caratterizzato da un elevato rumore temporale che disturba il segnale utile.

La descrizione ai terminali del sistema da progettare è la seguente:

```
entity unita_controllo is
port ( CLOCK      : in std_logic;
      RESET      : in std_logic;
      START      : in std_logic;
      SENSORDATA : in unsigned(11 downto 0);
      BUSY       : out std_logic;
      PHI1       : out std_logic;
      SIG1       : out std_logic;
      SIG2       : out std_logic;
      PHI2       : out std_logic;
      AVERAGE    : out unsigned(11 downto 0)
);
end unita_controllo;
```

Il sensore è controllato tramite opportune commutazioni dei 4 segnali PHI1, SIG1, SIG2, PHI2 e restituisce un numero binario SENSORDATA a 12 bit, in ingresso al nostro sistema. Il controllo avviene secondo quanto mostrato nella figura seguente:



Si descriva mediante linguaggio VHDL una rete che, al fine di ridurre il rumore in uscita (che come è noto ha media temporale nulla) esegua 16 letture consecutive dal sensore, portando alla fine sulla porta di uscita a 12 bit AVERAGE la media aritmetica x_M a 12 bit dei dati letti (x_i , $i = 0..15$)

$$x_M = \frac{1}{16} \sum_{i=0}^{15} x_i$$

La rete dovrà restare in uno stato di riposo fino all'attivazione del segnale START (in ingresso), e segnalare con il segnale di uscita BUSY l'esecuzione in corso dei cicli di lettura e di elaborazione dal sensore.

Si ipotizzi che il sensore ed il sistema funzionino ad una frequenza di 5 MHz.

Si indichino, come commenti nel codice VHDL, la famiglia logica e il dispositivo FPGA utilizzato, il numero di LC e FF necessari all'implementazione del progetto, e la massima frequenza raggiungibile dalla rete di controllo del sensore, specificando il criterio di sintesi logica adottato (minor area/maggiori prestazioni/...) e brevemente le motivazioni di tale scelta.